

ジョセフソン素子のデジタル応用

正 員 岡 部 洋 一

東京大学工学部電気工学科

1. はじめに

情報化社会の発展につれ、より高速で大容量の電子計算機の必要性が年々高まりつつある。例えば、気象における大気の運動のような、三次元空間のものをシミュレーションしようとする、記憶容量も多くいるし、計算量も莫大となり、正確な数値予報には高速で大形の計算機が不可欠となる。高速の計算機には高速で動作する素子が必要になるということで着目されたのが、数〜数十 ps の立ち上がり時間をもつジョセフソン素子である。1960 年の中ごろにアメリカ IBM 社がこの素子を計算機に利用する構想を打ち出して⁽¹⁾以来、アメリカおよび日本を中心として、実用化に向け精力的な研究がなされている。

2. ジョセフソン接合の特性

ジョセフソン接合は、図 1 に示すように二つの超電導体を弱く結合したものである。(a) 図は、現在、デジタル回路に広く用いられているもので、鉛系の超電導体をトンネルバリアにより弱く結合したものである。また (b) は二つの超電導体の間を薄い超電導体あるいは細い超電導体で接続したものである。この接続部には半導体あるいは常電導体も用いられる。

こうした接合部はバルクと同様に超電導電流が流れ

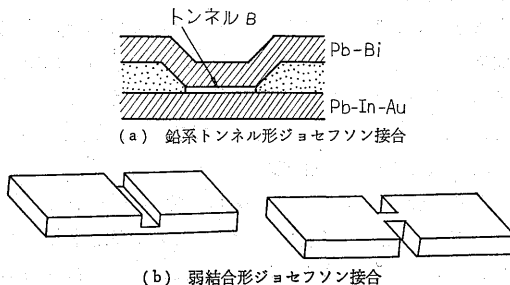


図 1 ジョセフソン接合

るが、超電導性が弱く、電流を強くしていくと、比較的弱い電流レベルで超電導性が破壊する。図 2 の実線でトンネル形接合の直流特性を示す。原点付近に、電流を流しても電圧の発生しない超電導の領域があるが、電流を I_c 以上流すと超電導が破壊し、外部回路の負荷に対応した電圧が発生する。

ジョセフソンは、理論的にジョセフソン接合を流れる電流 I が、電圧の時間積分である Φ により

$$I = I_c \sin(2\pi\Phi/\Phi_0) \dots\dots\dots (1)$$

で与えられることを示した⁽²⁾。この関係を図 3 の実線で示す。 Φ_0 は磁束量子と呼ばれる万有定数で、 $h/(2e)$

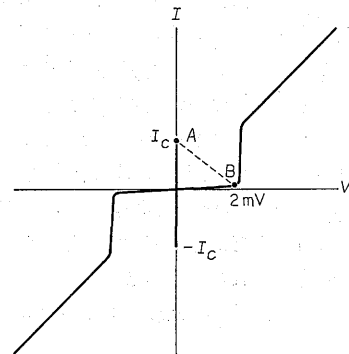


図 2 ジョセフソン接合の直流 I - V 特性

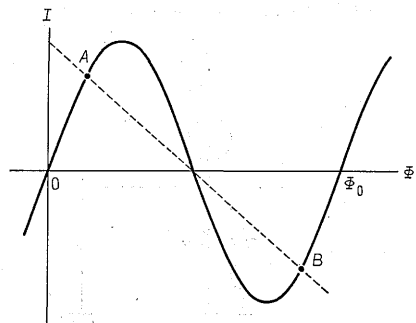


図 3 ジョセフソン接合の I - Φ 特性

つまり $2 \times 10^{-15} \text{ Wb}$ という小さな量である。(1)式は電流が電圧積分の非線形関数で与えられる、つまり非線形リアクタンスであることを示している。 Φ は、従って磁気インダクタンスの磁束に対応する量となるが、実際に磁束が蓄えられるわけではないので、特にフラクソイドと別の名称で呼ばれている。

図2に示した直流特性は、実はこうした非線形リアクタンスに、並列に静電容量と非線形抵抗を付けた等価回路で説明できる。図2の超電導状態は(1)式で Φ が一定の状態に対応する。当然 Φ の時間微分である電圧は0となり、また超電導電流は $|I| < I_c$ を満足する。超電導性が破壊すると電圧が発生し、 Φ は無限に増大し、(1)式より電流は振動的になる。このような交流振動は極めて高周波数のため直流特性には現われず、直流特性はほぼ非線形抵抗の特性で与えられることになる。

これから説明する計算機用の回路も、こうした図2や図3の特性を利用して設計される。

3. ジョセフソン論理回路

IBM 社が、最初の構想で提案した論理回路の原理図を図4に示す。この回路は図2に示す直流特性を利用したもので、定電流源と負荷抵抗によって図2の破線に示すような負荷直線を実現する。接合の直流特性と負荷直線の交点が二つできるが、それらをそれぞれ論理の0と1に対応させる。まず回路をうまく初期化し、接合の状態を図2のA点にしておく。ここへ回路左からくる入力線のいずれかに電流を流すことにより、負荷直線をずらし、図2のA点を不安定にすると、回路の状態はB点へと遷移する。この遷移により、接合にはほとんど直流電流が流れなくなり、電流は負荷抵抗の方へ流れるようになる。この負荷抵抗へ流れる電流により、更に、次段をトリガするようにする。

この回路の状態が、いずれの入力線にのった電流に対してでも遷移するようにしておけば OR 回路となる

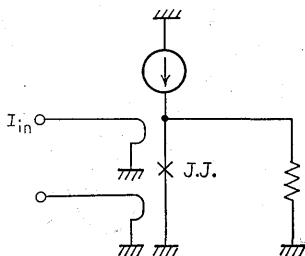


図4 電圧形論理回路

し、2入力線共に電流が流れているときのみ遷移するようにしておけば AND 回路となる。いずれにしてもジョセフソン論理回路は初期状態としてA点にセットした状態がB点に遷移するか否かによって論理を行なうものでラッチ論理となっている。

A点を不安定にするには負荷直線を移動してもよいが、接合の I_c を減らすこともよく用いられる。接合面積の大きな接合、あるいは複数の接合を並列にしてある程度の領域に広げたものに磁界をかけると、接合全体の I_c が磁界で制御される。この性質を利用したラッチ論理回路は磁界結合形論理回路と呼ばれ⁽³⁾、最も実用化段階にある論理回路である。

入力線を直接接合に接続し、電流の注入により負荷直線の位置をずらす形式の論理回路は電流結合形論理回路と呼ばれ⁽⁴⁾、近年盛んに研究されている。磁界結合形回路のように大きな面積をとらず、設計マージンも大きくとれるが、信号が入力側に戻りやすく、一方向性を保つのが困難であり、今後の研究成果が期待されている。

現在、こうした直流特性上の2安定点を利用した、いわゆる電圧形論理回路により、ゲート遅延時間数 ps のものが発表されている。この遅延時間はかなり速いものであるが、ジョセフソン素子そのものの原理的な遅延時間と比較すると、まだ一けた近く遅い。その主な理由はトンネル形ジョセフソン接合のもっている並列静電容量である。この容量の影響を少なくするにはトンネルバリアをわずかに薄くすればよい。このようにすると I_c が急増するのに対し、静電容量はわずかに増加しないからである。しかし、静電容量を相対的に減らし、接合の時定数を速くすると、図2の直流特性が変化し、二つの安定点が得にくくなることが知られている。従って、直流特性を利用しない論理回路が必要となってくる。

更に電圧形論理回路には、パンチスルーというやっかいな問題がある⁽⁵⁾。これは大きな静電容量のために接合のダンピングが悪くなり、リセットの際、一度起きた交流振動が容易に減衰せず、リセット時間を短くすると、超電導状態にリセットできなくなるという現象である。このため、ゲート遅延時間は数 ps にできても、クロック周期は ns 程度にせざるを得なくなっている。この意味でも、接合の静電容量を抑え、かつそれに適した回路の開発が必要となってくる。

そこで開発されつつあるのが、直流特性の代りに図3の電流 I とフラクソイド Φ の間の関係を利用した回路である⁽⁶⁾。考え方は、電圧形論理回路と同様であり、 I - Φ 特性に2箇所(不安定点も入れると3箇所)

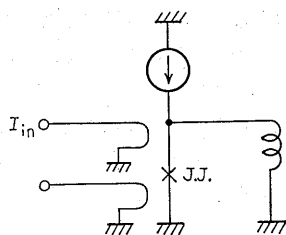


図5 フラクソイド形論理回路

で交わる図3の破線のような負荷直線を引き、そのときできる安定な二つの交点 A および B を論理の 0 と 1 に対応させようというものである。動作原理も電圧形のものと同様で似ており、負荷直線または接合の I_c を入力により変化させ、図3の A 点を不安定にして B 点に移させ、論理を行なうものである。唯一の違いは、負荷直線が $I-\Phi$ 図の上で直線であることから、抵抗で実現されるのではなく、インダクタンスにより実現される点である。従って、この論理回路は図5の形で実現されることとなる。

フラクソイド形論理回路は論理の 0 と 1 に対応する点が動的な不安定性を一切もっていない、高速でかつ消費電力の少ないという長所をもっている。しかし、負荷を Φ_0/I_c 程度のインダクタンスに設計する必要があり、このため信号の長距離伝送が難しいなど、まだ解決すべき問題が少なくない。

4. ジョセフソン記憶回路

ジョセフソン計算機の中で用いられる記憶回路は、前述のフラクソイド形論理回路に似た原理で動作する。その一例を図6に示す⁷⁾。この回路は1ビット分のメモリーセルを示している。こうしたセルを縦横に数多く並べ、更に I_w や I_b に信号を送るためのデコーダ回路、 I_c から外へ出てくる信号を処理するセンス回路を付けて全体のメモリーは構成される。

ある特定のセルにビットを書き込むには、そのセルに対応する I_w と I_b に電流を流す。この書き込み動

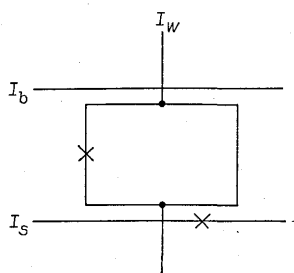


図6 記憶回路

作は、図3の負荷直線を I_w の電流および I_b の磁界結合により上または下へ移動し、二つの安定点のうち片方を不安定にすることにより、セルの状態を 0 または 1 にセットする。どちらを不安定にするかは、 I_b の電流方向により選択することができる。

読み出しは I_w と I_b に特定な方向の電流を流し、そのとき遷移が起きるかを I_c 上に置かれた接合により検知する。検出の際、通常はセルの情報は破壊されるが、回路のダンピングをうまく調整し、もとの状態に戻す非破壊形メモリーも作られている。

現在メモリーとしては、デコーダやセンス回路までも含めた 1kbit 程度の集積回路が作成されている。

5. なぜジョセフソン計算機か

超高速計算機を作るには素子の速度が速いことは当然必要であるが、それだけでは駄目である。高集積ができる必要がある。例えばクロック周期として 1ns を考えてみよう。この時間で信号の到達できる距離は、光速を仮定しても何とわずかに 30cm である。計算機内のすべてのゲートがそろって同期して動くためには、これらのゲートが、数 cm 程度の立方体の中に納まっていなければならないことが理解できるであろう。この中に、今まで 1m ぐらいの立方体に納まっていた大形機の CPU に匹敵する、あるいはそれ以上の回路を高集積に入れなければならないわけである。

このような高集積は、1素子あたり mW 程度の消費電力のある半導体素子では不可能であろう。これに対し、ジョセフソン素子は最大 2mV の動作電圧であり電流を mA としても μ W 程度の消費電力であり半導体の 3けたも高い集積度のとれる可能性がある。

欠点としてよくあげられるのは、液体ヘリウムに漬けないと動作しないことである。しかし、これも高集積のためには、欠点というよりもむしろ必然であることがわかる。というのは各素子の論理振幅が極めて小さいため熱雑音を十分低く抑える必要があるからである。また液冷となるため冷却効率が高く、一層の集積化を可能としている。

液化機の能率が 1/1,000 とかなり低い点も気になるが、これも素子の消費電力が半導体素子の約 1/1,000 であることを考えると、全消費電力ではほぼ同じになり、優劣はいえないこととなる。

以上まとめてみると、クロック周期 ns 程度以下で、かつ現在の大形機以上の計算機を作ろうとすると、どうしてもジョセフソン接合を基本素子とせざるを得ないことがわかる。

6. 今後の発展

ジョセフソン集積回路は目覚ましい勢いで進んでおり、論理回路はゲート数で100程度、ゲート遅延時間数psのものが、また記憶回路は1,000ビット程度のものが発表されている。今後はこうした開発の延長上に存在する問題と、新しく発生する問題があらう。

まず延長の問題としては、ばらばらの回路を組み合わせる技術の開発が急務のテーマである。また回路が極低温でしか動作しないため、従来半導体回路で用いられてきた常温でのプローバによる回路診断が不可能となる。回路の巨大化につれ、あらかじめ故障診断回路を組み入れるような診断技術が必要となってくる。

現在の延長線からずれた新しい問題としては、まず材料の問題があげられる。現在主として用いられている接合材料である鉛系合金は安定なトンネルバリアを作るが、結晶粒径が大きく、素子の縮小化に適さないこと、拡散などの問題があること、接合の上下の材料が異なること、温度サイクルに弱いこと、などの幾つかの問題点を抱えている。このため、高融点金属であるニオブ系の接合が開発されつつある。まだトンネルバリアに問題があるが、安定な接合として期待されている。

次に弱結合形接合の研究があげられる。この接合はトンネル形に比べ静電容量が小さいという特長をもつが、微細加工技術を必要とし、このためまだ物理が明白でなく研究の域を出ていない。

第三に高速論理回路の開発、特にフラクソイド形論理回路の研究が必要であると思われる。

第四は新超電導素子の開発であらう。ジョセフソン

素子は現在のところラッチ理論が中心であり、また本質的に2端子素子である。このため、否定論理が組み難い。ファンイン、ファンアウトが少ない、方向性が取り難いなどの幾つかの問題点を抱えている。このため超電導で動作する何らかの3端子素子のような素子の開発が次の大きなテーマとなり得る。

7. むすび

現在のジョセフソン素子のデジタル応用について超高速計算機を中心に、回路方式、必要性、問題点、将来について述べた。当面の開発目標となっている大形計算機については、現在のシリコン技術に近い窒素冷却のシリコン集積回路、GaAs集積回路、HEMTなどの技術が使われる可能性が高いと思われる。しかし、その先の超高速計算機となると、いまのところジョセフソン素子以外では実現不可能と思われる。この意味で、今後さらにジョセフソン計算機の研究が進展することを期待してやまない。

(昭和58年9月13日受付)

文 献

- (1) W. Anacker : *IEEE Trans. Magnetics* **MAG-5**, 968 (1969)
- (2) B. D. Josephson : *Phys. Letters* **1**, 51 (1962)
- (3) H. H. Zappe : *IEEE Trans. Magnetics* **MAG-13**, 41 (1977)
- (4) T. R. Gheewala : *Appl. Phys. Letters* **33**, 781 (1978)
- (5) T. A. Fulton & R. C. Dynes : *Solid-State Commun.* **9**, 1069 (1971)
- (6) H. Tamura, Y. Okabe & T. Sugano : *Appl. Phys. Letters* **39**, 761 (1981)
- (7) W. H. Henkels & H. H. Zappe : *IEEE J. Solid-State Circuits* **SC-10**, 591 (1978)